

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-211191

(43)Date of publication of application : 03.08.1992

---

(51)Int.CI. H05K 1/16  
H01B 3/00  
H01G 4/12  
H01L 25/00  
// H01L 25/04  
H01L 25/18

---

(21)Application number : 03-017451

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.02.1991

(72)Inventor : SHINOHARA KOICHI

INOUE KOICHI

ABE YOICHI

KATO AKIRA

SUZUKI HIDEO

YAMADA KAZUJI

TAKAHASHI MASAAKI

NAKANISHI KEIICHIRO

---

(30)Priority

Priority number : 02 28294 Priority date : 09.02.1990 Priority country : JP

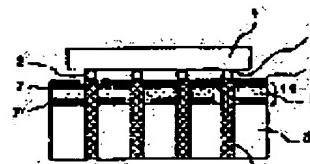
---

## (54) SUBSTRATE WITH BUILT-IN CAPACITOR

### (57)Abstract:

PURPOSE: To reduce the occurrence of high-frequency switching noise which is generated when logic circuits are simultaneously switched by reducing the inductance between an LSI and a capacitor formed on a substrate.

CONSTITUTION: A capacitor is formed so that the inductance between the bonding pad of an LSI mounted on a ceramic substrate 3 and the electrode 7 of the capacitor can be suppressed to 0.05nH. Since the inductance between the LSI and the capacitor is suppressed, the high-frequency component of the noise generated by power supply can be reduced. Therefore, the rise time of signals can be shortened and the operating can be increased.



---

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-211191

(43)公開日 平成4年(1992)8月3日

(51) Int.Cl. <sup>b</sup>	識別記号	序内整理番号	F 1	技術表示箇所
H 05 K 1/16	D	8727-4E		
H 01 B 3/00	F	9059-5G		
H 01 G 4/12	3 4 6	7135-5E		
H 01 L 25/00	B	7638-4M		
		7638-4M	H 01 L 25/04	Z
			審査請求 未請求 請求項の数26(全 19 頁)	最終頁に続く

(21)出願番号 特願平3-17451

(22)出願日 平成3年(1991)2月8日

(31)優先権主張番号 特願平2-28294

(32)優先日 平2(1990)2月9日

(33)優先権主張国 日本 (JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72)発明者 篠原 浩一

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(72)発明者 井上 広一

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(72)発明者 阿部 洋一

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(74)代理人 弁理士 高田 幸彦

最終頁に続く

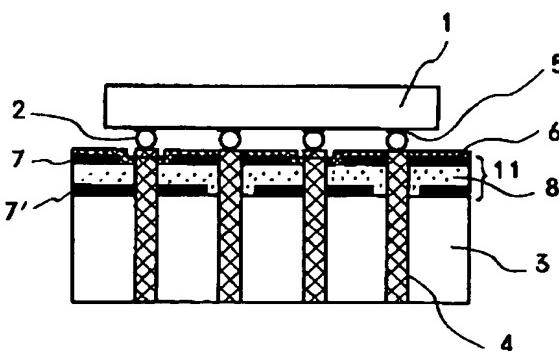
(54)【発明の名称】 コンデンサ内蔵基板

(57)【要約】

【目的】LSIから基板上に形成したコンデンサまでのインダクタンスを小さくすることにより、論理回路が同時に切り替わるときに発生する高周波の同時切替ノイズを低減する。

【構成】セラミック基板3上に搭載したLSIのボンディングパッドからコンデンサの電極7までのインダクタンスを0.05nHとなるようにコンデンサを形成する。LSIからコンデンサまでのインダクタンスが小さいことにより、電源に発生するノイズ成分の中で高周波のノイズを低減することができる。これにより、信号の立ち上り時間を速めることができ、演算速度の高速化が可能となる。

図 1



## 【特許請求の範囲】

【請求項 1】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路が形成され、電気的接続部を介してLSIが搭載された構造であって、前記セラミック回路基板と前記電気的接続部との間に、コンデンサが形成されていることを特徴とするコンデンサ内蔵基板。

【請求項 2】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路が形成され、電気的接続部を介してLSIが搭載された構造であって、前記薄膜回路内部にコンデンサが形成されていることを特徴とするコンデンサ内蔵基板。 10

【請求項 3】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路が形成され、電気的接続部を介してLSIが搭載された構造であって、前記セラミック回路基板と前記薄膜回路との間に、コンデンサが形成されていることを特徴とするコンデンサ内蔵基板。

【請求項 4】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路及び有機物からなる保護膜が形成され、電気的接続部を介してLSIが搭載された構造であって、前記薄膜回路と前記保護膜との間に、コンデンサが形成されていることを特徴とするコンデンサ内蔵基板。

【請求項 5】セラミック絶縁材料からなる絶縁部と導体配線とからなり、スルーホールを有するセラミック回路基板上に、電気的接続部を介してLSIが搭載された構造であって、前記セラミック回路基板表面にコンデンサが形成され、該コンデンサの誘電体部分を前記スルーホールが貫通していることを特徴とするコンデンサ内蔵基板。

【請求項 6】前記コンデンサが、前記電気的接続部の直下に位置することを特徴とする請求項1乃至5記載のコンデンサ内蔵基板。

【請求項 7】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路が形成され、電気的接続部を介して複数種の電源系を有するLSIが搭載された構造であって、前記セラミック回路基板と前記電気的接続部との間にコンデンサが形成され、該LSIの複数種の電源系に対応する同じ種の電位の接続部が電気的に短絡された場合に、前記電気的接続部と前記コンデンサの電極との間のインダクタンスが、それぞれ0.05nH以下であることを特徴とするコンデンサ内蔵基板。

【請求項 8】前記複数種の電源系における電気的接続部とコンデンサの電極との間のそれぞれのインダクタンス及び前記コンデンサ自身のインダクタンスの和が、0.2nH以下であることを特徴とする請求項7記載のコン

デンサ内蔵基板。

【請求項 9】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路が形成され、電気的接続部を介して複数種の電源系を有するLSIが搭載された構造であって、前記セラミック回路基板と前記電気的接続部との間にコンデンサが形成され、該LSIの複数種の電源系に対応する同じ種の電位の接続部が電気的に短絡されない場合に、前記電気的接続部のうちの一つから、対応するコンデンサの電極までのインダクタンスが、1nH以下であることを特徴とするコンデンサ内蔵基板。

【請求項 10】前記コンデンサ自身のインダクタンスが0.2nH以下であることを特徴とする請求項7または9記載のコンデンサ内蔵基板。

【請求項 11】前記コンデンサの容量が5nF以上であることを特徴とする請求項7または9記載のコンデンサ内蔵基板。

【請求項 12】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路が形成され、電気的接続部を介してLSIが搭載され、前記セラミック回路基板と前記電気的接続部との間にコンデンサが形成され、該LSIの電源ラインと前記コンデンサとが接続された構造であって、前記電気的接続部と前記コンデンサとの間の距離が0.1mm以下であることを特徴とするコンデンサ内蔵基板。

【請求項 13】前記コンデンサを形成している誘電体層の厚さが50μm以下であることを特徴とする請求項12記載のコンデンサ内蔵基板。

【請求項 14】前記コンデンサを形成している誘電体層の厚さが5μm以下である薄膜からなることを特徴とする請求項12記載のコンデンサ内蔵基板。

【請求項 15】前記コンデンサが複数個に分割されることを特徴とする請求項12記載のコンデンサ内蔵基板。

【請求項 16】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、有機物と導体配線とからなる薄膜回路が形成され、電気的接続部を介して複数種の電源系を有するLSIが搭載された構造であって、前記セラミック回路基板と前記電気的接続部との間にコンデンサが形成され、該LSIの複数種の電源系に対応する同じ種の電位の接続部が電気的に短絡された場合に、前記電気的接続部から前記コンデンサ側を見た場合のインピーダンスの大きさが、主要なノイズ成分の周波数領域において2Ω以下であることを特徴とするコンデンサ内蔵基板。

【請求項 17】前記周波数領域が、0.5～1.5GHzであることを特徴とする請求項16記載のコンデンサ内蔵基板。

【請求項 18】前記複数種の電源系のうちの一つに関す

るインピーダンスの大きさが、0.5～1.5 GHz の周波数領域において10Ω以下であることを特徴とする請求項16記載のコンデンサ内蔵基板。

【請求項19】セラミック絶縁材料からなる絶縁部と導体配線とからなり、スルーホールを有するセラミック回路基板の、一方の面にコンデンサを形成し、該コンデンサ形成面に対して裏面にポリイミド絶縁層と薄膜抵抗とからなる終端抵抗を形成したことを特徴とするコンデンサ内蔵基板。

【請求項20】セラミック絶縁材料からなる絶縁部と導体配線とからなり、スルーホールを有するセラミック回路基板上に、ポリイミド絶縁層と薄膜抵抗とからなる終端抵抗を形成し、該終端抵抗上に誘電体として有機物を適用した薄膜コンデンサを形成したことを特徴とするコンデンサ内蔵基板。

【請求項21】前記スルーホールピッチが500μm以下であることを特徴とする請求項19または20記載のコンデンサ内蔵基板。

【請求項22】誘電体とその両面に形成された電極とからなり、前記誘電体部分を貫通するスルーホールが形成されたコンデンサであって、前記電極間距離が5μm以下であることを特徴とするコンデンサ。

【請求項23】セラミック絶縁材料からなる絶縁部と導体配線とからなり、スルーホールが形成された二つのセラミック回路基板を有し、該セラミック回路基板の一方にポリイミド層と薄膜抵抗とからなる終端抵抗を形成し、もう一方にコンデンサを形成し、LSI、コンデンサを形成した基板、終端抵抗を形成した基板の順に配置し、はんだで接続したことを特徴とする実装構造。

【請求項24】マシンサイクルが10ns以下であって、請求項1乃至21記載のコンデンサ内蔵基板を有することを特徴とする電子計算機。

【請求項25】セラミック絶縁材料からなる絶縁部と導体配線とからなり、平坦化されたセラミック基板上に、電極の形成、バターニング、誘電体の形成、バターニング、電極の形成、バターニングの工程を順次行うこととするコンデンサの製造方法。

【請求項26】セラミック絶縁材料からなる絶縁部と導体配線とからなるセラミック回路基板上に、タンタルのアルコキシドをアルコールと共に加熱しながら攪拌し、さらに水及び酢酸を加えて窒素中で攪拌して前記アルコキシドを加水分解し、得られた濃縮液を塗布することによって、厚さ0.1乃至1μmの五酸化タンタルの薄膜を形成することを特徴とする請求項1乃至21記載のコンデンサ内蔵基板の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、電子計算機のGHz(ギガヘルツ)程度までの高周波の同時切替ノイズを低減するためのコンデンサを内蔵した基板に関する。

##### 【0002】

【従来の技術】電子計算機においては、近年ますます演算が高速化する傾向が著しい。高速化に伴って、ノイズによる誤動作が大きな問題になりつつある。ノイズとしては、スイッチングによる電源電圧の変動、及び信号経路間の相互作用即ち、クロストーク(漏話)が主なものである。

【0003】電源のノイズを低減するには様々な手段があるが、コンデンサを電源経路に適宜挿入する方法が最も有効な手段の一つである。

【0004】コンデンサには、容量、耐電圧、周波数特性の三つの性能が要求されるが、電子計算機は動作電圧が低いため、耐電圧特性はあまり問題とはされず、さらに、今後は動作電圧が低下する傾向にあるので、ますます重要でなくなると考えられる。一方、電子計算機の演算の高速化は止まる所を知らず、近い将来、動作周波数がGHzの高周波領域に突入するはずである。そのために、特に高周波特性の優れたコンデンサが要求され、今後、ますますこの傾向に拍車が掛かるものと予想される。従って、今後はコンデンサの耐電圧特性より、周波数特性にその重点が置かれていくものと考えられる。

【0005】コンデンサの容量が、極板間の誘電体の誘電率に大きく左右されることは、周知の事実である。さらに、誘電率を決定づけるのは分極であり、分極の形態によって、動作周波数範囲が大きく異なることも、よく知られている。分極は、以下に述べる4つの分極の和で成り立っている。すなわち、(1)空間電荷分極、(2)配向(双極子)分極、(3)イオン分極、(4)電子分極である。

【0006】一般にチップコンデンサなどに使用されているPb(Mg<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>-PbTiO<sub>3</sub>(比誘電率:2万程度)、チタン酸バリウム(BaTiO<sub>3</sub>)(比誘電率:1万程度)のような高誘電率材は、配向(双極子)分極によって大きな比誘電率が生じている。

【0007】これらの分極の中で、GHz以上の高周波領域でも安定して動作する分極は、イオン分極と電子分極である。よってGHz以上の高周波領域で使用するコンデンサの誘電体材料は、イオン分極と電子分極とから構成されるTa<sub>2</sub>O<sub>5</sub>のような誘電体材料が好ましい。最近、吉野完他，“パッケージ内に実装できるTa<sub>2</sub>O<sub>5</sub>薄膜コンデンサの高速動作”，電子情報通信学会技術研究報告第88巻233号に見られるように、単体のコンデンサではあるが、セラミック基板に直接取り付ける形態の高周波コンデンサが現れてきている。しかし、比誘電率の小さい(20～30)材料で、しかも、膜厚が100μm(ミクロン)以上と厚いため、容量はせいぜい1nF(ナノファラッド、外形2mm角)であり、ノイズを充分に吸収するために必要とされている容量には不十分である。さらに、コンデンサの占める部分に他の回路を形成できず、実装密度が上がらない。

5

【0008】また高周波特性を必要としない分野では、セラミック基板にコンデンサを内蔵する技術は一般的である。例えば、特開昭62-169461号公報、特開昭61-47691号公報に記載されているように、コンデンサ素子と導体配線とを絶縁性のセラミックスで一体成形封止したセラミック複合基板は得られている。

【0009】また特開昭57-37818号公報に記載されているように、同時切替ノイズの低減のために、積層されたセラミックシートのうちの少なくとも一対の間に、複数個の小さいコンデンサ素子のアレイが位置付けられたチップ用キャリアも得られている。

【0010】

【発明が解決しようとする課題】近年、大型電子計算機またはワークステーションなどの中小型計算機の論理回路に使用される信号の立上り、立下り時間が高速化するのに伴って、同時に切り替わる論理回路の増加によって、同時切替ノイズの発生が問題となってきた。

【0011】ノイズには、電源系に発生するものと信号系に発生するものとがあるが、本発明で解決しようとしているのは、ノイズの中でも電源系に発生するノイズを低減することである。

【0012】計算機においては、ECL回路、バイポーラを用いた回路とCMOS回路との組合せである、いわゆるBiCMOS回路等が採用されている。論理回路が同時に切り替わったときに電源に発生するノイズにはいろいろな原因があるが、それらのノイズの中でも主に問題となるのは、ECL回路については、信号電流が終端抵抗を通って電源V<sub>dd</sub>に流れ込むことによって発生する電源V<sub>dd</sub>のゆれである。このV<sub>dd</sub>のゆれを終端抵抗同時切替ノイズと呼ぶ。

【0013】またBiCMOS回路において問題となるのは、瞬間に流れる貫通電流と電源ラインのインダクタンスとによって発生するノイズである。BiCMOS回路において発生する貫通電流の発生メカニズムは、BiCMOS回路で電源電位と接地電位とに接続された一対のトランジスタが論理"1", "0"に対応して切り替わると、一方がOFFする前にもう一方がONしてしまうため、瞬間に両方のトランジスタがONとなるため、貫通電流が発生するものである。このトランジスタの切り替わるスピードは、1ns(ナノセカンド)以下程度であるため、電源系のインダクタンスの影響で電源には0.5~1GHz程度のノイズが発生する。

【0014】また終端抵抗同時切替ノイズについて詳しく検討した結果、図4に示すようにこのノイズには、演算処理に使用される信号と同程度の立上り時間を持つ成分v<sub>1</sub>と、その後に遅れて来る成分v<sub>2</sub>とがあることがわかった。ここでノイズ成分v<sub>2</sub>を低下させるのであれば、比較的容量の大きなコンデンサを設置することが有效である。

【0015】しかし、立上りの速い(立上り時間: 50

10

20

30

40

50

6

0ps(ピコセカンド)以下)ノイズ成分v<sub>1</sub>については、コンデンサの容量を大きくしても、ノイズを低減することはできないことがわかった。そして、この立上りの速い成分v<sub>1</sub>については、演算処理に使用される信号の立上り時間を速くすればするほど、ノイズ量が大きくなる。そして近年、信号の立上り時間が500ps以下と速くなるにつれて、ノイズ成分の中でも立上りの速いノイズ成分v<sub>1</sub>が問題となってきた。

【0016】ノイズは、ある大きさ以上になると信号電圧との区別がつかなくなり、論理"1", "0"を判断できなくなってしまうため、ある値以下にしなければならない。大型電子計算機など高速の演算処理をするための回路として、よく使われるECL回路では論理振幅が0.8V(ボルト)程度しかなく、電源に関するノイズ量は100mV(ミリボルト)以下にする必要がある。またBiCMOS回路においても、ECL回路と混在する場合にはBiCMOS回路の電源に発生するノイズによって、ECL回路が誤動作しないようになるとBiCMOS回路そのものが誤動作しないようするために、電源に発生するノイズは100mV以下にする必要がある。

【0017】本発明の目的は、電源系に発生するノイズを低減する実装構造を提供することにあり、特にノイズ成分の中でも、立上りまたは立下り時間1ns以下程度の高周波のノイズを低減する実装構造を提供することにある。

【0018】

【課題を解決するための手段】上記の目的を達成するためには、コンデンサの設置が有効であり、さらにコンデンサに使用される誘電体は、1GHz以上の高周波領域でも比誘電率の低下が少ないものがよい。発生するノイズ成分には、100MHz(メガヘルツ)程度の比較的周波数の低いものから、1GHz以上の高周波のものまでが含まれている。また電源回路に並列に接続される実際のコンデンサは、容量(キャパシタンス)とインダクタンスと抵抗との直列回路とみなすことができる。ここでノイズを低減するには、電源に並列に接続されるインピーダンスを小さくする必要がある。なお容量のインピーダンスは、周波数と容量とに反比例し、インダクタンスのインピーダンスは、周波数とインダクタンスとに比例する。そこでノイズを低減するには、比較的低い周波数では容量を大きくする必要があり、GHz以上の高周波ではインダクタンスをある値以下にすることが重要となる。100MHz程度の比較的低周波のノイズを効果的に低減するには、容量は、0.1μF(マイクロファラード)以上必要である。また1GHz以上の高周波のノイズを低減するには、ボンディングパッドからコンデンサまでのインダクタンスを少なくとも0.05nH(ナノヘンリー)以下にする必要があることがわかった。なお、1GHz以上の高周波においては、周波数が高いため容量が比較的小さい場合でも容量のインピーダ

7

ンスは小さくなり、容量は少なくとも  $5 \text{ nF}$  以上であればノイズ低減に効果がある。また、コンデンサの設置場所については、LSI内ではコンデンサを形成するためのエリアが限られており、高容量のコンデンサの形成が困難であるため、LSIの外部に形成する必要がある。

【0019】またインダクタンスについては、従来はスルーホールやはんだ接続部などの電流の流れる部分を対象としていたが、いろいろと詳細に検討してきた結果、コンデンサそのものがもっているインダクタンスも考慮する必要があることがわかった。コンデンサそのものがもっているインダクタンスについて検討した結果、一般に使用されているチップコンデンサのインダクタンスは、 $0.2 \sim 0.8 \text{ nH}$  程度であることがわかった。またコンデンサの最も簡単な構成（誘電体の厚さが  $1 \text{ mm}$ （ミリメートル）で直径が  $1 \text{ mm} \phi$ （ミリメートルファイ）程度の円柱状の物）では、 $0.2 \text{ nH}$  程度のインダクタンスをもつ。これは電極を流れる電流以外に誘電体部分を流れる変位電流によっても、誘電体の周りに磁界を発生させるためインダクタンスをもつからである。つまりインダクタンスは、電流と磁束とを関係付ける量であるため、コンデンサはリード線などを接続しない状態においても、コンデンサそのものがインダクタンスをもっている。このインダクタンスは比較的小さいため、従来はあまり問題にならなかったが、GHz程度の高周波においては無視できなくなってきた。

【0020】ECL回路では、終端抵抗同時切替ノイズを低減するために、電源  $V_{tt}$  と電源  $V_{cc}$ との間にコンデンサを接続する必要がある。解析の結果、終端抵抗同時切替ノイズ成分の中でも立上りの速いノイズ  $v_1$  を  $100 \text{ mV}$  以下にするためには、LSIの電源  $V_{tt}$  のボンディングパッドからコンデンサの電極までのインダクタンスを  $0.05 \text{ nH}$  以下にする必要があることがわかった。これ以上インダクタンスが大きくなると、コンデンサによってノイズ  $v_1$  を  $100 \text{ mV}$  以下にすることは困難となる。なお、コンデンサと電源との接続に関しては、電源  $V_{tt}$  に相当するスルーホールはすべてコンデンサの一方の電極に接続され、電源  $V_{cc}$  に相当するスルーホールはすべて対向するもう一方の電極に接続される。

【0021】ここで電源  $V_{tt}$  からのインダクタンスの値は、LSIが、複数個ある  $V_{tt}$  のボンディングパッドのすべてを電気的に短絡したときに、LSIの  $V_{tt}$  からコンデンサまでの等価的なインダクタンスの値である。更に詳しく説明すれば、LSIは電位の異なる複数種の電源を有しているので、そのそれぞれの電源についてインダクタンスを下げる目的から、複数個のボンディングパッドから LSIへ給電されるとき、LSI内部で同じ電位のものを一つにするという方法で給電している。ここで、LSIの電源  $V_{tt}$  のボンディングパッドからコンデンサまでのインダクタンスの値、すなわち  $V_{tt}$

8

のボンディングパッドの一つからコンデンサの電極までのインダクタンスの値は、 $1 \text{ nH}$  程度以下であればよく、これを複数個並列に接続して等価的に  $0.05 \text{ nH}$  以下にすればよい。なお、今後特に断わらない限り、インダクタンスの値は同じ種類の電源のものを並列に接続したときの等価的なインダクタンスの値をさすものとする。

【0022】また終端抵抗同時切替ノイズのノイズ成分  $v_1$  を  $100 \text{ mV}$  以下にするためには、コンデンサそのもののもつインダクタンスは  $0.2 \text{ nH}$  以下とする必要がある。これは LSIのできるだけ近くにコンデンサを接続したとしても、コンデンサそのもののもつインダクタンスが  $0.2 \text{ nH}$  より大きくなるとノイズ量を  $100 \text{ mV}$  以下とすることができなくなるためである。また、コンデンサそのもののもつインダクタンスについては、検討の結果、コンデンサの誘導体層の厚さを小さくするほどインダクタンスが小さくなることがわかった。さらにコンデンサに接続されるスルーホールピッチが小さいほど、インダクタンスも小さくなることがわかった。コンデンサは、電位の異なる電源間に接続されるが、図1に示すような構造、つまり電源  $V_{cc}$  のスルーホールは、コンデンサのもう一方の電極面に接続され、電源  $V_{tt}$  のスルーホールは対向するもう一方の電極面に接続され、誘電体部をスルーホールが貫通するような構造において、コンデンサ自身のもつインダクタンスを  $0.2 \text{ nH}$  以下とするには、スルーホールピッチが  $500 \mu\text{m}$  の場合、コンデンサの誘電体の厚さを  $50 \mu\text{m}$  以下にする必要があることがわかった。なお、好ましくはさらにインダクタンスを  $0.05 \text{ nH}$  以下に下げるために、コンデンサの誘電体の厚さが  $5 \mu\text{m}$  以下の薄膜コンデンサとするのがよい。なお、LSIとコンデンサを形成した基板との接続方式は、フリップチップ接続を採用するのがよい。これはフリップチップ接続のインダクタンスが、約  $0.02 \text{ nH}$  と小さいために、立上りの速いノイズを低減するのに効果的であるためである。

【0023】LSIのボンディングパッドからコンデンサまでのインダクタンスを  $0.05 \text{ nH}$  以下とするには、スルーホールパターンによても異なるが、基板上のボンディングパッドからコンデンサまでの距離を  $100 \mu\text{m}$  以下にすることが好ましい。

【0024】BiCMOS回路のLSIについては、貫通電流と電源系のインダクタンスとの影響で発生するノイズを低減するために、電源電位と接地電位との間にコンデンサを接続する必要がある。そしてノイズ量を  $100 \text{ mV}$  以下とするためには、LSIの電源電位のボンディングパッドからコンデンサまでのインダクタンスを  $L_1$ 、接地電位のボンディングパッドからコンデンサまでのインダクタンスを  $L_2$ 、コンデンサ自身のもつインダクタンスを  $L_3$ としたときのインダクタンスの和 ( $L_1 + L_2 + L_3$ ) を  $0.2 \text{ nH}$  以下にする必要がある。

9

【0025】コンデンサの容量については、本発明が対象としている立上りまたは立下り時間1n s以下のノイズを100mV以下とするために、少なくとも5n F以上必要である。しかし好ましくは10n F以上する方がノイズ低減効果の点から好ましい。

【0026】またコンデンサの誘電損失 $\tan\delta$ については、コンデンサがBiCMOS回路のノイズ低減に適用される場合、誘電損失 $\tan\delta$ が大きいとコンデンサに蓄積されたエネルギーがBiCMOS回路の貫通電流を流すのに使われる以外に、コンデンサ自身の損失となってしまって効率的に作動しなくなるため、できれば0.5~1.5GHzにおいて1%以下が好ましい。

【0027】またコンデンサの等価回路を抵抗、インダクタンス、キャパシタンスの直列回路と仮定したとき、高周波では、キャパシタンスのインピーダンスが小さくなり、抵抗にかかる相対的電圧が大きくなると共に、表皮効果により見かけの抵抗が上がる現象もあることから、高周波でコンデンサを効果的に作動させるためには、電極材料はAl, Cu, Au, Agのようなできるだけ電気抵抗率の小さなものが好ましい。

【0028】またコンデンサの誘電体として使用されるものは、有機物であっても無機物であってもよい。

【0029】つぎに、電気的観点からコンデンサの効果を検討すると、終端抵抗同時切替ノイズの発生メカニズムについては次のように考えられる。終端抵抗に流れる信号電流の波形は、フーリエ級数展開によっていろいろな周波数成分に分解できる。ここで、発生するノイズ波形の周波数成分との関係について考えると、信号波形のある周波数成分における電流の大きさと電源Vccと電源Vttとの間のインピーダンスの大きさとをかけ合わせた値が大きいものが、ノイズとなるものと考えられる。ここでLSIのボンディングパッドのVttとVccとからコンデンサ側を見た場合のインピーダンスが、ノイズが発生する周波数において非常に小さければ、VttとVccとの間に発生するノイズ量は小さくなる。

【0030】なお、インピーダンスが小さくなる場合は、インダクタンスが小さい場合やインダクタンスとキャパシタンスとが共振を起こしている場合が考えられる。またこの共振には、分布定数回路的な効果による共振も含まれる。つまりGHz程度の高周波においては、平行平板コンデンサは一種の伝送路とみなすことができ、コンデンサ端部の反射波の影響で共振を起こし、VttとVccとの間のインピーダンスが小さくなるという現象も含まれる。ここでノイズ量を100mV以下にするためには、LSIのVttとVccのボンディングパッドからコンデンサ側を見た場合のインピーダンスが、発生するノイズの周波数領域において2Ω(オーム)以下にする必要がある。その発生するノイズの主要な成分の周波数は0.5~1.5GHzであるので、0.5~1.5GHzで2Ω以下にする必要がある。

10

20

30

40

50

-770-

【0031】またBiCMOS回路の貫通電流によるノイズに対するコンデンサの効果については、次のように考えられる。LSIの電源電位と接地電位とに相当するボンディングパッドからコンデンサ側を見た場合のインピーダンスをZ(f), BiCMOS回路に流れる貫通電流の変化分をΔIとすると、LSIの電源と接地電位との間に発生するノイズΔVは、 $\Delta V = -Z(f)\Delta I$ となり、Z(f)が小さいときにはノイズは小さくなる。このノイズ量を100mV以下とするためには、インピーダンスZ(f)を発生するノイズの周波数領域において2Ω以下にする必要がある。そして発生するノイズの主要な成分の周波数は0.5~1.5GHzであるので、0.5~1.5GHzで2Ωにする必要がある。

【0032】なお2Ωというのは、同じ電位のボンディングパッドを電気的に短絡した条件での等価的な値である。つまりLSIはいくつかの論理回路から構成され、一つの論理回路にはある電源Aのボンディングパッドとまたある電源Bのボンディングパッドとが接続されているので、電源Aと電源Bとの一組のボンディングパッドからコンデンサ側を見た場合のインピーダンスが10Ω程度以下であればよく、複数組を並列接続した条件での等価的な値が2Ω以下となればよい。

【0033】また分布定数回路的な効果によるインピーダンス特性は、コンデンサに適用した誘電体の比誘電率、透磁率などの特性やコンデンサの寸法によって決定されるため、基板上に形成したコンデンサを分割して適当な大きさにし、主要ノイズ成分の周波数領域においてインピーダンスが小さくなるようにすれば、ノイズを低減することができる。また一つのコンデンサの下部電極を接地電位として上部電極をいくつかに分割し、分割した電極を異なる電位に接続することによって、一つの誘電体層からなるコンデンサでも電位の異なる複数箇所にコンデンサを接続することができる。そして最適な設計によって一層で形成される容量は有効に活用され、全体的に性能を向上させることができる。さらにコンデンサが分割してあると、ピンホール等で不良になった場合でも、不良となっているコンデンサのみをレーザ等で切断することにより、性能をそれほど落とさずに歩留まりを向上させることができる。

【0034】

【作用】LSIの電源に接続されたコンデンサは、高周波においてキャパシタンスとインダクタンスと抵抗との直列回路とみなすことができる。立上りの速いノイズ成分つまりGHz程度の高周波のノイズに関しては、キャパシタンスはショートしているとみなせるため、ノイズの低減効果は抵抗が無視できる場合、インダクタンス成分のみでほぼ決定される。よってLSIからコンデンサまでのインダクタンスを小さくすれば、高周波におけるインピーダンスが小さくなり、立上りまたは立下り時間の速いノイズ成分を低減することができる。

11

【0035】コンデンサを形成する基板の表面粗さ吸収層は必須構成物ではないが、高周波用誘電体の膜厚（5 μm以下）と、セラミックスの焼成後の表面粗さ（数10 μm）とを両立させるための解決手段の一つである。その他の解決手段としては、よく知られた方法として、表面研磨、表面へのガラス層被着、表面への樹脂層被着等を挙げることができる。

【0036】信号の伝播速度には信号経路を囲む誘電体の誘電率が大きく影響し、誘電率の小さいことが望まれる。特に、本発明で対象としている高周波で動作する回路では低誘電率の誘電体であることが不可欠となる。セラミック基板に誘電率の低い材料（例えば、ムライト、ガラスセラミックス等）を使用すれば、伝送路においてはその周囲を低誘電率の誘電体で囲み、電源回路では高周波領域においても大容量を維持するコンデンサを有するという、相反する要求を両立させることができるとする。

【0037】なお、GHz以上の高周波においては、スルーホールからコンデンサに給電される電流は、コンデンサの電極の全体に拡がらずに、スルーホール周りのある範囲にしか実質的に流れなくなる。つまり高周波では電極面積が小さくなつたような効果が出て、実質的な容量が小さくなる。そこで一つのコンデンサに複数のスルーホールを接続してスルーホールピッチを小さくすることにより、高周波においても動作するコンデンサとすることができる。

#### 【0038】

【実施例】以下に、本発明を実施例によりさらに具体的に説明するが、本発明はこれらの実施例に限定されない。

#### 【0039】

##### (実施例1)

コンデンサ内蔵セラミックス基板を作製するために、まずコンデンサを形成するセラミック基板を作製した。セラミック基板を作製するためにグリーンシートを作製した。グリーンシートを作製するには、セラミック原料として平均粒径2 μmのムライト（3Al<sub>2</sub>O<sub>3</sub>・2SiO<sub>2</sub>）粉末70～80重量%、MgO 0.5～1.5重量%、Al<sub>2</sub>O<sub>3</sub> 1～3重量%，SiO<sub>2</sub> 20～30重量%で、総量100%とした混合粉末100重量部とポリビニルブチラール5～10重量部、トリクロロエチレン124重量部、テトラクロロエチレン32重量部、n-ブチルアルコール44重量部、ブチルフタリルグリコール酸ブチル2重量部を加え、ボールミルで24時間湿式混合してスラリを作製した。次に真空脱気処理により適当な粘度に調整した。そしてこのスラリをドクターブレードを用いて、シリコーンコートしたポリエステルフィルム上に0.5 mmの厚さに塗布し、その後乾燥してグリーンシートとした。

【0040】次にこのグリーンシートに100 μmφの

穴を開け、一般に使用されているタンゲステンペーストをその穴に充填した。次にこのシートを位置合わせし、8枚積層した。そして熱間プレスにより圧着した。圧着条件は、温度120℃、圧力50 kgf/mm<sup>2</sup>である。このようにして作製した積層板を、バインダ抜きのために50℃/hの昇温速度で昇温し、1640℃で1h焼成した。雰囲気は水蒸気と水素とを含む窒素中である。次に作製したセラミック基板の両面を研磨して平坦とし、次の大きさに切断した。

#### 【0041】

##### 【数1】

15mm□

…(数1)

【0042】次にグレーズ処理用のペーストを作製した。このペーストは、平均粒径5 μmのホウケイ酸ガラス粉を70重量%、平均粒径1 μmのAl<sub>2</sub>O<sub>3</sub>粉末30重量%で配合し、この混合粉末100重量部にメタクリル酸系バインダ30重量部、ブチルカルビトールアセテート100重量部を加えたものを30分間ライカイ機にて混合し適当な粘度に調整した。このペーストに使われたガラス粉末の組成は、SiO<sub>2</sub>を70～80重量%、B<sub>2</sub>O<sub>3</sub> 10～20重量%，K<sub>2</sub>O 1～5重量%，ZnO 0.1～0.5重量%である。このグレーズ用のペーストを上述のセラミック基板の片面に印刷し、水蒸気を含んだ窒素中で900℃、1時間で焼成した。次にこのグレーズ処理をした面を研磨して平坦とし、セラミック基板に存在するボイドを埋めた。このセラミック基板をキャリア基板として使用した。

【0043】次に上述のセラミック基板の穴埋めした面上にAlを0.2 μm蒸着した。さらにこの上にレジストを塗布し、ガラスマスクをし、露光して現像した後にAlをエッティングした。その後レジストを除去した。

【0044】次にこの基板上にTa<sub>2</sub>O<sub>5</sub>を1 μmスパッタした。さらにレジストを塗布して、露光、現像した後に、イオンミリングによりTa<sub>2</sub>O<sub>5</sub>膜をバーニングした。さらにこの上にAlを1 μm蒸着し、レジストを塗布し、露光して現像した後にAlをエッティングし、レジストを除去して薄膜コンデンサを形成した。LSIとの接続部にはTi-Pt-Auをスパッタした。この上には感光性ポリイミドを塗布し、露光、現像した後に400℃で熱処理して保護膜とした。

【0045】上述のようにして作製した薄膜コンデンサ内蔵セラミック基板の構造を図1に示す。次にこの基板にLSIをはんだで接続し（フリップチップ接続）、A1Nキャップをこの基板及びLSIにはんだ付けした。そしてこのパッケージをモジュール基板にはんだ付けした。

【0046】モジュール基板は、セラミック多層回路基板上にポリイミドと銅との薄膜多層配線を形成したものである。セラミック多層回路基板は、上述のセラミック

基板と同様にして30層積層したものである。なお、このセラミック多層回路基板中には電源層が形成してある。さらにこのモジュール基板に電気信号入出力用のピンをはんだ付けした。このモジュールの概要を図3に示す。

【0047】コンデンサは、電気回路的にはECL回路の電源VccとVttとの間に接続されている。つまりコンデンサの電極の一方はVttに、もう一方はVccに接続されている。作製された薄膜コンデンサ内蔵セラミック基板のLSIと基板とを接続しているはんだ接続部(フリップチップ接続部)の等価的なインダクタンスは、約0.02nHである。また図1の構造における薄膜コンデンサ自身のもつインダクタンスは、約0.05nHであった。そしてコンデンサの容量は0.04μFであった。このコンデンサを設置することで、大型計算機のモジュールに組み込んだとき、電源VttとVccとの間に発生する立上りの速いノイズv<sub>1</sub>は、コンデンサを接続しない場合と比較して、約50%に低減した。

【0048】またこのコンデンサを形成した基板上にBiCMOS回路を含むメモリLSIを搭載した。コンデンサはBiCMOS回路の電源電位と接地電位との間に接続されている。大型計算機のモジュールに組み込んだとき、貫通電流と電源系のインダクタンスに伴う電源系のノイズは、コンデンサを接続しない場合と比較して、約50%低減した。

【0049】またコンデンサを形成した基板上に、ポリイミドを絶縁層として形成し、フォトリソグラフィーとスパッタ法を用いて、上下の層を接続するスルーホールを形成した。さらにスパッタ法でCr-SiO<sub>2</sub>系の薄膜抵抗を形成した。薄膜抵抗は、LSI内に形成されたECL回路の終端抵抗として作用する。このように基板上にコンデンサと終端抵抗とを形成することにより、高密度実装が可能となる。

#### 【0050】

##### (実施例2)

酸化物に換算して、MgO 12.9重量%，CaO 1重量%，Al<sub>2</sub>O<sub>3</sub> 4.0重量%，B<sub>2</sub>O<sub>3</sub> 42.1重量%，SiO<sub>2</sub> 4重量%の組成の平均粒径5μmのガラス粉Aと、酸化物に換算して、SiO<sub>2</sub> 78.0重量%，B<sub>2</sub>O<sub>3</sub> 18.8重量%，K<sub>2</sub>O 3重量%，ZnO 0.2重量%の組成の平均粒径5μmのガラス粉Bと、平均粒径1μmのAl<sub>2</sub>O<sub>3</sub>を、ガラス粉Aを35重量%、ガラス粉Bを35重量%、Al<sub>2</sub>O<sub>3</sub>を30重量%の混合比で配合し、この粉末にメタクリル酸系のバインダ20重量部、トリクロロエチレン99重量部、テトラクロロエチレン26重量部、フタル酸ジn-ブチル1重量部を加え、ボールミルで24時間湿式混合し、スラリを作製した。さらに実施例1と同様にしてグリーンシートを作製した。次に実施例1と同様にこのグリーンシートに100μmの穴を開けた。この穴に同ペーストを充填した。同ベース

トは有機物を除いた成分の95%以上が銅である一般に使用されている銅ペーストである。次に実施例1と同様に8層積層し、積層体とした後、水蒸気を約20体積%含んだ空素中で980℃、1時間で焼成した。このようにして作製したセラミック基板の両面を研磨して、平坦とした。この基板上に、実施例1と同様にして薄膜コンデンサを形成した。なお、薄膜コンデンサの誘電体はSrTiO<sub>3</sub>であり厚さは1μmである。電極はAlである。

【0051】次にこの基板にLSIを図1に示すようにはんだで接続し、実施例1と同様にしてLSIキャップをはんだ付けした。このパッケージをモジュール基板にはんだ付けした。

【0052】モジュール基板はガラスセラミック多層回路基板上にポリイミドと銅との薄膜多層配線を形成したものである。ガラスセラミック多層回路基板は、上述のガラスセラミックのグリーンシートに同様に穴開けをし、銅ペーストを充填した後、その銅ペーストを粘度調整したもので、信号用のライン配線または電源用の導体層を印刷した。さらにこのシートを60層積層したものを上述の方法と同様に焼成した。このモジュール基板に実施例1と同様にピンをはんだ付けし、モジュールを作製した。

【0053】コンデンサは実施例1と同様に電源VttとVccとの間に接続されている。フリップチップ接続部の等価的なインダクタンスは、約0.02nHである。また作製した薄膜コンデンサ自身の等価的なインダクタンスは、約0.05nHであった。コンデンサの容量は0.15μFであった。このコンデンサを設置することで、電源VttとVccとの間に発生するノイズ量は、信号の立上り時間とほぼ等しい立上り時間をもったノイズ成分v<sub>1</sub>に関しては、コンデンサを設置しない場合と比較して、約50%に低減した。v<sub>1</sub>に遅れて来るノイズ成分v<sub>2</sub>に関しては、コンデンサを設置しない場合と比較して約10分の1に低減できた。

#### 【0054】

##### (実施例3)

セラミック原料として平均粒径1μmのAlN粉末9.7重量%とY<sub>2</sub>O<sub>3</sub>粉末3重量%との混合粉末10.0重量部と、ポリビニルチラール5~10重量部、トリクロロエチレン12.4重量部、テトラクロロエチレン3.2重量部、n-ブチルアルコール4.4重量部、ブチルフタリルグリコール酸ブチル2重量部を加え、ボールミルで24時間湿式混合してスラリを作製した。次に実施例1と同様にしてグリーンシートを作製し、穴開けをしてタンクステンペーストを充填した。さらに積層体とした後、空素雰囲気中、1900℃、1時間で焼成した。さらに両面を研磨した後、実施例1と同様にしてこの基板上に厚さ1μmのTa<sub>2</sub>O<sub>5</sub>を誘電体とした薄膜コンデンサを作製した。これも実施例1と同様にLSIとAlNキャップ

15

ブとをはんだ付けしたものを、モジュール基板上にはんだ付けし、電気入出力用のピンをはんだ付けした。形成したコンデンサそのもののインダクタンスは、0.05 nHであり、容量は0.04 μFであった。このコンデンサを設置したことによって、電源V<sub>tt</sub>とV<sub>cc</sub>との間で発生するノイズ量は、コンデンサを接続しない場合と比較して、立上りの速いノイズv<sub>1</sub>に関しては、約50%、遅れて来るノイズv<sub>2</sub>に関しては、約30%に低減した。

【0055】

(実施例4)

実施例1と同様にしてスルーホールを形成したムライト基板を作製した。スルーホール導体はタングステンであり、ムライト基板の両面を研磨して平坦化してある。さらに下部電極となるAg-Pd導体ペーストを印刷した。Ag-PdのPd量は、15wt%のものを使用した。次に実施例1と同様にして誘電体を原料とした厚さ50 μmのグリーンシートを作製した。原料として使用した誘電体は、Pb(Fe<sub>2</sub>Nb<sub>2</sub>)O<sub>3</sub>-Pb(Fe<sub>2</sub>:W<sub>1</sub>)O<sub>3</sub>-PbTiO<sub>3</sub>系のもので比誘電率が約10000のセラミックスである。次に誘電体のグリーンシートに穴開けをし、ムライト基板のスルーホールパターンと位置合わせをしてグリーンシートを圧着した。

【0056】次に上述のペーストと同じAg-Pd導体ペーストで、誘電体のグリーンシートに開けられた穴への充填と上部電極の印刷をした。さらに大気中、900°Cで焼成し、ポリイミドで保護膜を形成した。

【0057】この基板にLSIをはんだで接続し、AlNキャップをこの基板及びLSIにはんだ付けした。このパッケージをモジュール基板にはんだ付けした。モジュール基板は、実施例1で使用したものと同じものである。

【0058】コンデンサは、実施例1と同様にLSIの電源に接続してある。作製したコンデンサそのものがもっている等価的なインダクタンスは、約0.3nHであった。このコンデンサの容量は0.03 μFであった。このコンデンサを設置することで、電源V<sub>tt</sub>とV<sub>cc</sub>との間に発生する立上りの速いノイズv<sub>1</sub>は、コンデンサを接続しない場合と比較して、約75%に低減した。

【0059】

(実施例5)

酸化物に換算して、MgO 23.0重量%，Al<sub>2</sub>O<sub>3</sub> 25重量%，SiO<sub>2</sub> 50重量%，B<sub>2</sub>O<sub>3</sub> 2重量%の組成の平均粒径5 μmのガラス粉を原料として、実施例2と同様にグリーンシートを作製し、このグリーンシートに穴開けをして銅ペーストを充填した。さらに銅ペーストで信号配線またはグランド層を印刷した。このシートを60層積層した後、水蒸気を約20体積%含んだ窒素中で900~1000°Cで焼成した。

16

【0060】

【数2】

…(数2)

100mm<sup>2</sup>  
【0061】このようにして作製した上記の大きさのセラミック多層回路基板を実施例1と同様にして平坦化した。次にこの基板上にTi(0.1 μm)-Pt(0.1 μm)-Au(0.3 μm)を蒸着し、タンタルを0.5 μmスパッタした。さらにイオンミリングによりバーニングした。

【0062】次に陽極酸化によりタンタルを0.2 μmだけTa<sub>2</sub>O<sub>5</sub>に変えた。陽極酸化とは、リン酸水溶液などの電解質に、セラミック基板状のタンタルを陽極として電圧をかけ、タンタルを酸化させる方法である。このようにして作製したTa<sub>2</sub>O<sub>5</sub>膜上にTi(0.2 μm)-Pt(0.2 μm)-Au(1 μm)を蒸着した。

【0063】さらにこの上に保護膜としてポリイミド膜を形成し、フォトリソグラフィーの技術でバーニングした。

【0064】次にこの基板上にLSIをはんだで接続した。コンデンサは、実施例1と同様にLSIに接続してある。LSIのボンディングパッドからコンデンサまでのインダクタンスは、0.05nHであった。そしてコンデンサの容量は2 μFであった。このコンデンサを設置することで、電源V<sub>tt</sub>とV<sub>cc</sub>との間に発生する立上りの速いノイズv<sub>1</sub>は、コンデンサを接続しない場合と比較して、約50%に低減した。なお、ノイズv<sub>2</sub>に関しては、約10%に低減した。

【0065】

(実施例6)

実施例5で作製したセラミック多層回路基板上に、実施例5と同様にして、Ti(0.1 μm)-Pt(0.1 μm)-Au(0.5 μm)を蒸着し、タンタルを0.5 μmスパッタした後、陽極酸化により厚さ0.2 μmのTa<sub>2</sub>O<sub>5</sub>膜を形成した。次にTa<sub>2</sub>O<sub>5</sub>上にAl膜を以下の大きさになるようにフォトリソグラフィーのプロセスでバーニングした。

【0066】また、以下の大きさであるAl電極と隣のAl電極との間は、0.5mmの間隔がある。

【0067】

【数3】

…(数3)

6mm<sup>2</sup>  
【0068】次に実施例5と同じこのAl電極上に保護膜としてポリイミド膜を形成し、バーニングした。この基板上にLSIをはんだで接続した。コンデンサは、実施例1と同様でLSIの電源に接続してある。

【0069】LSIのボンディングパッドからコンデンサまでのインダクタンスは、0.05nHであった。LSIのV<sub>tt</sub>とV<sub>cc</sub>のボンディングパッドに接続される部分から、コンデンサ側を見たときの電気的特性は、電極を分割し等価的にコンデンサを分割したことによって、約

17

500 MHz で共振現象を起こした。さらに 0.5 ~ 1.5 GHz におけるインピーダンスは、0.5 Ω 以下であって、立上りの速いノイズ成分  $v_1$  は約 40% に低減できた。またピンホール等のあいたコンデンサ部分を、レーザー等で LSI の電源ラインと切り離すことによって、性能をそれほど損なわずに歩留まりを約 10 倍に向上させた。

## 【0070】

## (実施例 7)

実施例 2 で作製したガラスセラミックスのグリーンシートに実施例 1 と同様にして穴開けをし、銅ペーストを充填した。次に銅ペーストで信号配線またはグランド層を印刷した。このシートを実施例 1 と同様にして 60 層積層し、積層体とした後、水蒸気を約 20 体積% 含んだ空素中で 900 ~ 1000 °C で焼成した。このようにして作製したセラミック基板の両面を研磨して平坦化した。さらにポリイミド層を形成して、フォトリソグラフィー技術によりスルーホール部分のポリイミドを除き、ポリイミド上に銅の膜をメッキにより形成した。次にエッチングにより電極パターンを形成し、プラズマ重合法を用いてポリイミドの有機薄膜を形成した。有機薄膜の比誘電率は約 4 であり、厚さは 1 μm である。さらにマスクをして、イオンミリングによりスルーホール部分の有機薄膜を取り除き、有機薄膜上に銅の膜をメッキにより形成した。その後エッチングによって電極パターンを形成し、この上に実施例 1 と同様の保護膜を形成した。

【0071】次にこの基板上に LSI をフリップチップ接続で搭載した。コンデンサの接続は実施例 1 と同様である。LSI のボンディングパッドからコンデンサまでのインダクタンスは、0.05 nH であった。コンデンサの容量は 0.2 μF であった。このコンデンサを設置したことで、電源 V<sub>tt</sub> と V<sub>cc</sub>との間に発生するノイズ  $v_1$  はコンデンサを接続しない場合と比較して、約 50% に低減した。

## 【0072】

## (実施例 8)

実施例 3 で作製した AIN のグリーンシートを 5 枚積層し、圧着して積層体とした。さらに窒素雰囲気中、1900 °C、1 時間で焼成した。そして両面を研磨し、0.5 mm の板とした後、AIN を 0.2 μm スパッタした。次に Ta<sub>2</sub>O<sub>5</sub> を 0.5 μm スパッタした。そしてイオンミリングにより Ta<sub>2</sub>O<sub>5</sub> 膜をバーニングした。次に AIN を 0.2 μm スパッタし、イオンミリングによりバーニングした。その後 Ti-Pt-Au を蒸着して接続部を形成した。さらに AIN 板を加工して、冷却用のフィンとした。

【0073】次に TAB 接続方式で上述のコンデンサを形成した基板と LSI とを接続した。フィルムリードにはスズ (Sn) がメッキされており、LSI 及びコンデンサの接続部には Au-Sn が形成されている。なお、

10

18

LSI は BiCMOS 回路が形成されているものであり、コンデンサは BiCMOS 回路の電源電位と設置電位とに接続されている。

【0074】次に LSI を AIN 基板にはんだ付けした。電源に発生するノイズ量は、コンデンサを接続しない場合と比較して、約 60% に低減した。このモジュールは、熱抵抗の小さな AIN 基板を使用しているため、LSI を効率よく冷却することができる。なお、さらに熱抵抗を小さくしようとする場合には、LSI とコンデンサとの間に熱伝導グリース等を挿入するとよい。

## 【0075】

## (実施例 9)

20

実施例 1 と同様にして、ムライト基板上にコンデンサを形成した。次にこの基板上に LSI をはんだで接続した。そしてムライト基板のコンデンサを形成していない面のスルーホール部に金をメッキした。さらに LSI を Al<sub>2</sub>O<sub>3</sub> 基板にはんだ付けして、ワイヤボンディングで配線をした。なお、LSI は BiCMOS 回路が形成されているものであり、コンデンサは BiCMOS 回路の電源電位と設置電位との間に接続されている。電源に発生するノイズ量は、コンデンサを接続しない場合と比較して、約 50% に低減した。

20

## 【0076】

## (実施例 10)

30

実施例 1 で作製したムライト基板上にポリイミドを絶縁層とし、フォトリソグラフィーとスパッタ法とを用いて、上下の層を接続するスルーホールと薄膜抵抗とを形成した。抵抗材料は Cr-SiO<sub>2</sub> 系のものである。またこの薄膜抵抗は、LSI 内部に形成した ECL 回路の終端抵抗として機能する。

30

【0077】次にこのポリイミド層上に実施例 7 と同様にして、ポリイミドを誘電体としたコンデンサを形成した。誘電体の厚さは 0.8 μm である。コンデンサの容量は、5 nF であった。LSI のボンディングパッドからコンデンサまでのインダクタンスは、0.05 nH であった。コンデンサを形成したことにより、終端抵抗同時切替ノイズの中で、立上り時間の速いノイズ  $v_1$  は、約 60% に低減した。

40

(実施例 11)

実施例 10 と同様にしてムライト基板上にスルーホールを形成したポリイミド層を形成した。さらにスパッタ法で薄膜抵抗を形成した。

40

【0078】次に実施例 1 と同様にムライト基板上にコンデンサを形成した。さらにコンデンサを形成したムライト基板の下に上述の薄膜抵抗を形成したムライト基板をはんだで接続した。このような構造とすることにより、基板の同一面上にコンデンサおよび薄膜抵抗を形成するよりも歩留まりを向上させることができる。

50

## 【0079】

## (実施例 12)

19

実施例12と同様にしてムライト基板上に薄膜コンデンサを形成した。次にこの基板のコンデンサを形成していない方の面に実施例10と同様にして薄膜抵抗を形成した。このような構造とすることにより、実施例11で作製したものよりも実装密度を向上させることができ、さらに接続部を減少させることにより、信頼性を向上させることができる。

## 【0080】

## (実施例13)

実施例1と同様にしてムライト基板を平坦化し、タンタルをスパッタした。さらにイオンミリングによりバーニングした。次にタンタルの一部に窒素イオンを打ち込んで窒化タンタルとし、薄膜抵抗を形成した。また残りのタンタルを実施例5と同様にして、陽極酸化してコンデンサを形成した。このような構造とすることにより、終端抵抗と薄膜コンデンサとを一体化させることができる。

## 【0081】

## (実施例14)

実施例7で作製したガラスセラミック多層回路基板上に、ポリイミドを絶縁材料とし、銅を信号配線、電源層またはグランド層とした薄膜多層配線を形成した。次に電気信号入出力用または電力供給用のピンを接続した。さらにこの基板上に実施例1で作製した薄膜コンデンサと薄膜抵抗とを形成したムライト基板をはんだ付けした。さらにそのムライト基板上にECL回路またはBiCMOS回路を有するLSIをフリップチップ接続ではんだ付けした。ムライト基板は、LSIのキャリア基板である。次にキャリア基板上にAINのキャップをかぶせ、電源基板及び冷却系に上述のセラミック多層回路基板を接続して大型電子計算機のモジュールを作製した。計算機を動作させたところ、信号の立上り時間を500ps以下とした場合でも、電源のノイズ量を100mV以下とことができ、正常に動作させることができた。

## 【0082】

## (実施例15)

本発明の実施例を図18、図19-a図、図19-b図、図19-c図及び図20に従って説明する。

【0083】図18は、本発明の実施例の断面図、図19-a図、図19-b図、及び図19-c図は、図18の一部の拡大断面図であり、31はコンデンサ部品、32はガラス層、33は接続用突起、34はコンデンサ貫通配線、35は五酸化タンタル、36はアルミニウム電極、37はガラス、38はアルミナ基板を意味する。

【0084】この実施例の構造は、2枚のアルミナ基板38がコンデンサ部品31を挟んだ形態をなしている。2枚のアルミナ基板38及びコンデンサ部品31は、ガラス層32で接着されている。配線には、コンデンサ部品31内のコンデンサにつながる物、即ち、スルーホール4、及びコンデンサに接続しないスルーホール4があ

10

20

30

40

50

り、また、コンデンサに接続しないスルーホール4には、コンデンサ部品31を経由する物と経由しない物がある。この3つの場合について部分拡大をすると、図19-a図から、図19-c図になる。

【0085】図19-a図は、配線がコンデンサに接続している部分である。上下のアルミナ基板38内のスルーホール4から突き出した接続用突起33（これは、スルーホール4と同じくタンゲステンのペーストを焼成して得られる。）が、コンデンサの電極であるアルミニウム電極36に接触している。このアルミニウム電極36は、厚さが5μmである。2枚のアルミニウム電極36に挟まれた形で五酸化タンタル35の薄層がある。この層の厚さは、約0.1μmである。コンデンサの誘電体層は、できるだけ薄い方が容量の観点からは望ましい。しかしながら、0.1μm以下では完全な連続膜にならない場合があり、良好なコンデンサにならない。また、膜厚を厚くすると、絶縁性の面では有利であるが、容量が低下する。

【0086】図19-b図は、配線がコンデンサを全く経由しない部分である。上下のアルミナ基板38内のコンデンサに接続しないスルーホール4から突き出した接続用突起33（これは、コンデンサに接続しないスルーホール4と同じく、タンゲステンのペーストを焼成して得られる。）が、お互いに接触している。この部分では、図19-a図の部分よりアルミニウム電極36及び五酸化タンタル35の厚さを合計した厚さの半分（約5μm）だけ突起の突き出し量を大きくしてある。図19-c図は、配線がコンデンサ部品31内を貫通する部分である。上下のアルミナ基板38内のスルーホール4から突き出した接続用突起33が、コンデンサ貫通配線34に接触している。このコンデンサ貫通配線34は、長さが10.1μmである。コンデンサ貫通配線34を、コンデンサの電極であるアルミニウム電極36或いは五酸化タンタル35から電気的に絶縁するため、ガラス37がコンデンサ貫通配線34を取り巻いている。ガラス37の比誘電率は約10で、五酸化タンタル35の約25に比べ小さく、伝送遅延を小さくするのに役立っている。

【0087】本実施例の製造プロセスについて説明する。

## 【0088】

(i) 予め、スルーホール4、コンデンサに接続しないスルーホール4、接続用突起33をタンゲステンペーストの同時焼成により形成した、焼成済みのアルミナ基板38を一組（2枚）用意する。

## 【0089】

(ii) コンデンサ部品31をガラスで挟んだ部材を必要個数（図18では2個）用意する。

## 【0090】

(iii) コンデンサ部品31をガラスで挟んだ部材を2枚のアルミナ基板38の間に配置し、位置合わせして、加

圧しながら空素中で500°Cに加熱し、ガラスを溶かして接着する。

## 【0091】

次に、コンデンサ部品31をガラスで挟んだ部材の製造プロセスについて説明する。アルミナ基板38については、特に説明を要しないので、省略する。

## 【0092】

(1) 基板上に電極を形成し、さらにその上に誘電体を形成した半コンデンサ部品を一組(2枚)用意する。

## 【0093】

(ii) 表面の五酸化タンタル35(厚さ0.04μm)上に、タンタルのアルコキシドを加水分解して得られたソル状物質をスピナで約0.01μm塗布し、それを接着剤として両者を接着する。

## 【0094】

(iii) 溶媒であるアルコールを蒸発させ、同時に接着剤を分解するために、約400°Cで熱処理をする。その結果、コンデンサ部品31をガラスで挟んだ部材が完成する。

【0095】 次に、半コンデンサ部品の製造プロセスを述べる。

## 【0096】

(1) 厚さ約0.5mmのガラス基板上に接着剤を塗布する。

## 【0097】

(ii) 厚さ約10μmの低融点ガラス箔を貼り付ける。

## 【0098】

(iii) 厚さ約5μmのアルミニウム電極36を箔で供給する。

## 【0099】

(iv) タンタルのアルコキシドを加水分解し、ソル状になった物質をスピナで塗布する。1回の塗布で約0.01μmの五酸化タンタルの薄層を形成する。

## 【0100】

(v)(iv)を4回繰り返す。

【0101】 本実施例で得られた五酸化タンタルの薄膜は、1GHzにおいて比誘電率が25、誘電損失が0.5%であり、優秀な高周波特性を示した。また、膜厚を0.1μmと薄くできたので、一辺10mmの正方形で約0.2μFの大容量を実現できた。回路方式にもよるが、100MHz程度のノイズ防止に必要な容量は0.1μFである。本実施例では、充分な容量を比較的比誘電率の小さい五酸化タンタルを用いて実現することができた。また上記と同様のプロセスを用い、イオンミリング等でパターンニングをして、図20に示すようなコンデンサを内蔵した基板を作製した。

【0102】 本実施例では、誘電体薄膜形成に塗布法を採用したので、基板の大面積化に有利である。もちろん、一般的な薄膜形成方法である、スパッタリングや蒸着、或いはメッキを利用しても良いことは、当然であ

る。ただし、真空は還元性の雰囲気であり、スパッタリングや蒸着では、皮膜の堆積時に五酸化タンタルの酸素が一部無くなりやすい。即ち、化学量論組成から外れやすい。酸素を添加したスパッタリングを行うとか、酸素イオンを照射しながらの薄膜形成、即ち、イオンミキングを行う等の工夫が必要になる。また、メッキでは、膜中に水素を吸収したり、その他の不純物が入り込みやすいので、絶縁性が損われる場合がある。メッキの後処理で対策を講じなければならない場合がある。

【0103】 また、本実施例では、アルミニウム電極36を箔で供給したが、蒸着、メッキ等の薄膜形成方法を利用してもよい。箔で供給する方法は、塗布法と同じく、大面積化に適している。コンピュータは、高速化のために、基板数を減らす努力がなされている。その場合、1枚の基板の面積は大きくなる傾向にある。本実施例の製造方法は、この趨勢に合致した製造方法である。

【0104】 すでに述べたが、雑音にはスイッチングによる電源電圧の変動、及びクロストークがある。スイッチングノイズを押さえることで、ほとんどの回路は正常動作をする。電源電圧の変動を押さえるためには、電源配線と接地配線の間にコンデンサを挿入する、いわゆる平滑コンデンサの挿入が有効である。本実施例でも、コンデンサは電源配線と接地配線の間に挿入するように配線の設計をした。

【0105】 すでに述べたように、アルミニウム電極36の膜厚は5μmであり、層抵抗は0.05Ω以下である。層抵抗が0.5Ωを越えると高周波でのコンデンサによる平滑効果が薄れる。本実施例の層抵抗は、層抵抗の上限を充分クリヤしている。

(実施例16)

本発明の実施例を図21に従って説明する。36はアルミニウム電極、39はムライト基板、40はアルミニウム電極配線、41はアルミニウム貫通配線、42はポリイミド、43はバリウム・鉛・ネオジウム・チタンの複合酸化物を意味する。

【0106】 図21の構造は、タンクステンの同時焼成により内部に配線を施したムライト基板39の表面にコンデンサを含む配線層を積層形成した形態をなしている。誘電体として、高周波特性に優れている上に比誘電率も1GHzで約90と大きい、バリウム・鉛・ネオジウム・チタンの複合酸化物(BaO·PbO·Nd<sub>2</sub>O<sub>3</sub>·4TiO<sub>2</sub>)43を使用し、コンデンサの容量を大きくできるようにした。膜厚は0.1μmである。バリウム及びチタンの酸化物を含む複合酸化物は、比較的比誘電率が高く、しかも、1GHz以上の高周波でも誘電率の低下、誘電損失の上昇が小さいので、本発明のコンデンサの誘電体として最適である。特に、その中でも、本実施例で選んだバリウム・鉛・ネオジウム・チタンの複合酸化物(BaO·PbO·Nd<sub>2</sub>O<sub>3</sub>·4TiO<sub>2</sub>)は、ε<sub>r</sub>が約90と大きいので有利である。基板材料には、

セラミックスとしては、比誘電率の小さいムライト ( $\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ ,  $\epsilon_r = 6.5$ ) を使用し、表面の配線層の絶縁には、比誘電率が特に小さいポリイミド42 ( $\epsilon_r = 3.5$ ) を使用して、伝送遅延を極力小さくする構造とした。

【0107】なお、コンデンサの電極材料としては、実施例15と同じアルミニウムとした。電極には、より比抵抗の小さい銅の使用が望ましいが、銅にはポリイミドとの反応性があること、バリウム・鉛・ネオジウム・チタンの複合酸化物43形成過程での空気中の熱処理に耐えられないことの理由で、銅の使用を断念した。ポリイミド及びアルミニウムの膜厚は、どちらも $5\text{ }\mu\text{m}$ とした。

【0108】ここで、本実施例の製造プロセスを簡単に述べる。

#### 【0109】

(i) 内部にスルーホール4を形成したムライト基板39を用意する。

#### 【0110】

(ii) その片方の表面(図21では上)に、まずポリイミド42をスピナで塗布する。

#### 【0111】

(iii) 窒素中最高温度 $350^\circ\text{C}$ でキュアし、スルーホール4の表面部をエッティングして穴を開け、スルーホール4の表面部を露出する。

#### 【0112】

(iv) 全面にアルミニウムを蒸着し、上記した穴の部分(アルミニウム電極配線40及びアルミニウム貫通配線41になる)及びアルミニウム電極36以外をエッティング除去する。

#### 【0113】

(v) バリウム・鉛・ネオジウム・チタンの複合酸化物43を形成する。(後程詳しくこのプロセスを説明する。)

(vi) イオンミリングでバリウム・鉛・ネオジウム・チタンの複合酸化物43の不要部をエッティング除去する。

#### 【0114】

(vii) アルミニウム電極配線40、アルミニウム貫通配線41、及びコンデンサの上部電極であるアルミニウム電極36を形成するため、アルミニウムを蒸着、バターン形成する。

#### 【0115】

(viii) 最後に、表面層のポリイミド42を塗布し、アルミニウム電極配線40及びアルミニウム貫通配線41の上端部をエッティングして露出し、完成する。

【0116】次に、バリウム・鉛・ネオジウム・チタンの複合酸化物( $\text{BaO} \cdot \text{PbO} \cdot \text{Nd}_2\text{O}_3 \cdot 4\text{TlO}_2$ )43の製造プロセスについて説明する。

#### 【0117】

(i) 還流管付四ツロフラスコ(500ml用)にバリ

ウム(Ba)1.37g(0.01mol)とイソプロピルアルコール( $\text{i-C}_3\text{H}_7\text{OH}$ )80mlを入れ、オイルバスを用い、窒素中 $80^\circ\text{C}$ で30分間還流する。溶液中では、バリウムのアルコキシドが形成されている。

#### 【0118】

(ii) この四ツロフラスコにチタンのアルコキシド( $\text{Ti(OCH}_3)_4$ )11.3g(0.04mol)をイソプロピルアルコール( $\text{i-C}_3\text{H}_7\text{OH}$ )100mlに溶解した溶液、鉛のアルコキシド( $\text{Pb(OCH}_3)_2$ )3.25g(0.01mol)をイソプロピルアルコール( $\text{i-C}_3\text{H}_7\text{OH}$ )50mlに溶解した溶液、及び硝酸ネオジウム( $\text{Nd(NO}_3)_3 \cdot 5\text{H}_2\text{O}$ )4.20g(0.01mol)をイソプロピルアルコール( $\text{i-C}_3\text{H}_7\text{OH}$ )50mlに溶解し、窒素中、 $80^\circ\text{C}$ で30分間反応させた溶液( $\text{Nd(OCH}_3)_3$ )をそれぞれ滴下ロートに入れ蒸着する。

#### 【0119】

(iii)  $\text{Ti(OCH}_3)_4$ ,  $\text{Pb(OCH}_3)_2$ , 及び $\text{Nd(OCH}_3)_3$ の溶液を同時に1時間かけて滴下する。滴下後、反応溶液を $80^\circ\text{C}$ に保ち2時間攪拌する。

#### 【0120】

(iv) 水( $\text{H}_2\text{O}$ )1.26g(0.07mol)及び酢酸( $\text{CH}_3\text{COOH}$ )6g(0.1mol)をイソプロピルアルコール( $\text{i-C}_3\text{H}_7\text{OH}$ )30mlに溶解した溶液を滴下ロートを用い30分間かけて滴下する。

#### 【0121】

(v) この反応溶液を $80^\circ\text{C}$ で2時間攪拌した後、還流管をリーピッヒ冷却管等に取り替え、減圧蒸留できる装置とする。

#### 【0122】

(vi) この装置を用い、反応媒体であるイソプロピルアルコール( $\text{i-C}_3\text{H}_7\text{OH}$ )を蒸留除去し、反応溶液を100mlまで濃縮する。

#### 【0123】

(vii) この濃縮溶液をスピナを用い、塗布する。(1回の塗布で約 $0.01\text{ }\mu\text{m}$ の膜厚が得られる。完全な連続膜にするため、本実施例では塗布回数を10回とした。)(viii) 空気中 $400^\circ\text{C}$ で1時間熱処理し、 $\text{BaO} \cdot \text{PbO} \cdot \text{Nd}_2\text{O}_3 \cdot 4\text{TlO}_2$ の薄膜が完成する。

【0124】本実施例のような複合酸化物は、蒸着やスパッタリングといった通常の薄膜形成方法で形成することが難しい。その理由は、目的とする構造及び組成を基板上で実現することが難しいことによる。例えば、目的組成( $\text{BaO} \cdot \text{PbO} \cdot \text{Nd}_2\text{O}_3 \cdot 4\text{TlO}_2$ )のターゲットによるスパッタリングでは、スパッタリングによるエネルギーで複合酸化物の結合が外れ、基板上には、組成は近似しているが、構造の全く異なる物質が形成される。また、目的組成をつぶに入れて蒸着、或いはエレクトロプレーティングをしようとするとき、蒸発する際に、スパッタリングと同じように構造が破壊される。さ

らに、構成物間の蒸気圧の差によって蒸気圧の低いものが選択的に堆積する結果、組成までは異なる。組成をずらさないようにするには、複数の蒸発源から構成物を別々に蒸発させる方法がある。この場合、基板上で複合酸化物になる保証がない。また、真空雰囲気は、還元性を持っており、スパッタリングでも、純粋のアルゴンではなく、酸素を混入したガス雰囲気で行う必要があるが、この酸素の作用は消極的、即ち、ターゲット中の酸素の離脱を抑えるというものである。その点、イオンミキシング法で、スパッタリング、或いは、イオンビームスパッタリング、蒸着で粒子が基板に飛来する途中に酸素イオンを照射して、酸化を促進する方法もある。この場合には、原料として酸化物ではなく金属元素のままでもよく、蒸発のコントロールはやりやすい。しかし、この場合でも、基板上の薄膜が目的の複合酸化物になつてゐる保証がない。

【0125】その点、本実施例の方法は、複合酸化物が分解するほどの加熱工程を含まないので、比較的容易に1 μm以下の複合酸化物の薄膜を形成することができる。本製法は、1 μm以下の複合酸化物を、再現性よく作製するための現在のところ唯一の方法である。

【0126】本実施例のセラミック基板には、高速動作のLSIチップが10個搭載される。すでに述べたように、高速動作の回路では、雑音の発生源或いは雑音の影響を受ける地点にできるだけ近い位置にコンデンサを配置する必要がある。さらに、LSI間で雑音の相互干渉があつてはならない。従つて、本実施例では、LSIチップ毎に、その直下にコンデンサを備えることにした。すなわち、コンデンサを10個備えた。そのため、一つのコンデンサの寸法は一辺5mmと、実施例15より小さくなつたが、比誘電率の大きい誘電体を採用したため、各々のコンデンサの容量は約0.2 μFと、実施例15とほぼ同じになった。すでに述べたように、0.1 μF以上の容量があれば100MHz以上のノイズ低減の効果があるので、本実施例のコンデンサの容量は、充分大きい。

#### 【0127】

##### (実施例17)

実施例16では、BaO・PbO・Nd<sub>2</sub>O<sub>3</sub>・4TiO<sub>2</sub>を誘電体として使用したが、本実施例では、バリウムとチタンとタンクス滕の複合酸化物(BaO・4TiO<sub>2</sub>・0.1WO<sub>3</sub>)を用いた。次に合成方法について説明する。

#### 【0128】

(1) 還流管付三ツ口フラスコ(300ml用)にバリウム(Ba)1.37g(0.01mol)とイソプロピルアルコール(i-C<sub>3</sub>H<sub>7</sub>OH)80mlを入れ、オイルバスを用い、空素中80℃で30分間還流する。その結果、フラスコ内は、バリウムのアルコキシド(Ba(O*C*<sub>3</sub>H<sub>7</sub>)<sub>2</sub>)のアルコール溶液になる。

10

20

30

40

50

(ii) この三ツ口フラスコにチタンのアルコキシド[Ti(O*C*<sub>3</sub>H<sub>7</sub>)<sub>4</sub>]11.3g(0.04mol)をイソプロピルアルコール(i-C<sub>3</sub>H<sub>7</sub>OH)100mlに溶解した溶液、及びタンクス滕のアルコキシド{W(O*C*<sub>3</sub>H<sub>7</sub>)<sub>5</sub>}0.4g(0.001mol)をイソプロピルアルコール(i-C<sub>3</sub>H<sub>7</sub>OH)50mlに溶解し、空素中、80℃で30分間反応させた溶液をそれぞれ滴下ロートに入れ装着する。

#### 【0129】

(iii) Ti(O*C*<sub>3</sub>H<sub>7</sub>)<sub>4</sub>、及びW(O*C*<sub>3</sub>H<sub>7</sub>)<sub>5</sub>の溶液を同時に1時間かけて滴下する。滴下後、反応溶液を80℃に保ち2時間攪拌する。

#### 【0130】

(iv) 水(H<sub>2</sub>O)1.8g(0.1mol)及び酢酸(CH<sub>3</sub>COOH)4.2g(0.07mol)をイソプロピルアルコール(i-C<sub>3</sub>H<sub>7</sub>OH)20mlに溶解した溶液を滴下ロートを用い30分間かけて滴下する。

#### 【0131】

(v) この反応溶液を80℃で2時間攪拌した後、還流管をリーピッヒ冷却管等に取り替え、減圧蒸留できる装置とする。

#### 【0132】

(vi) この装置を用い、反応媒体であるイソプロピルアルコール(i-C<sub>3</sub>H<sub>7</sub>OH)を蒸留除去し、反応溶液を100mlまで濃縮する。

#### 【0133】

(vii) この濃縮溶液をスピナを用い、塗布する。(1回の塗布で約0.01μmの膜厚が得られる。完全な連続膜にするため、本実施例では塗布回数を10回とした。)(viii) 空気中400℃で1時間熟処理し、BaO・4TiO<sub>2</sub>・0.1WO<sub>3</sub>の薄膜が完成する。

【0134】本実施例では、構成元素が実施例16よりも少ないため、合成が容易である。その反面、1ギガヘルツにおける比誘電率が約60と第2の実施例より小さかった。

【0135】実施例16及び実施例17では、バリウム、ネオジウム、タンクス滕のアルコキシドが安定に存在しない。イソプロピルアルコール中で加熱還流することで、これらのアルコキシドを生成することを見い出したため、これらの実施例が可能になった。

#### 【0136】

##### (実施例18)

図22-aは、代表的なNTL回路である。図22-bは、アクティブ・ブルダウン付きNTL回路の回路図である。通常のブルダウン機能のないNTL回路(図22-a)では、出力が“ロー”から“ハイ”になるとき(即ち、Q1が“オン”から“オフ”になるとき)、負荷につながった浮遊容量(図ではCL)に充電された電荷は、出力端の抵抗(R<sub>P</sub>)で徐々に放電される。アクティブ・ブルダウン付きNTL回路の特徴は、この放電を

トランジスタでアクティブに行う点にある。図22-bの右下のQ<sub>p</sub>で表わされたトランジスタがブルダウン用で、負荷につながった浮遊容量（図ではC<sub>L</sub>）の電荷を強制的に放電する。その経路を図では曲がった矢印で表示した。強制的に放電するため、通常のN T L回路に比較して放電時の経過時間が小さく、高速化を図ることができる。

【0137】ところが、急激に放電するため放電時の電流変化が大きく、電源電圧の変動を招きやすい。この変動が雑音となって誤動作に結びつく。これを避けるため、高速動作のコンデンサが必要となる。しかも、電流の変化による電圧変化は、回路の誘導成分に比例するので、コンデンサとアクティブ・ブルダウン付きN T L回路の距離を極力小さくし、その間の誘導成分を小さくしなければならない。そして何れのコンデンサも入力電流波に充分追従する周波数特性を備えている必要がある。セラミック基板と一緒にすることでコンデンサの接続部（リード等）によるインダクタンス成分の発生を抑えることができる結果、外付けのコンデンサに比べて雑音電圧の発生が大幅に低減されていることが明白である。それと同時に、コンデンサの容量が、最低0.1 μF 必要であることも明らかである。

【0138】次に図1のように、アクティブ・ブルダウン付きN T L回路の搭載されたLSIチップ1の直下に、高速動作のコンデンサ（容量0.5 μF）を内蔵したセラミック基板3を配置した。本実施例では、さらに、セラミック基板3とLSIチップ1との接続にワイヤボンディングではなく、誘導成分の少ないフリップチップ接続方式を採用して、ノイズ低減効果を確実なものにした。その結果、1GHzにおけるノイズ発生は、10mV以下に抑えられ、充分な動作マージンを確保することができた。

### 【0139】

#### (実施例19)

静電容量が1 μFで、且つ誘電損失が0.8% のコンデンサを半導体チップ当たり、且つ電源当たり1個ずつ持つセラミック基板をスーパーコンピュータに実装した。コンピュータ内部の一部を図23に示す。実施例15～18で既に構造及び製法を説明したセラミック基板を装着した半導体パッケージ46は多層プリント基板44に三次元に装着され、コネクタによってプラッタに接続される。本実施例では上部プラッタと下部プラッタの二段に構成され、下部プラッタの下方より冷却用空気が送られ、両者のプラッタの間にクロスフローグリッド45が設けられ、冷却による温度のばらつきをなくすように工夫される。

【0140】半導体パッケージ46として、論理用パッケージ、VR(ベクトルレジスタ)用パッケージ、主記憶用パッケージ、拡張記憶用パッケージが用いられ、高集積論理プラッタに装着される。

【0141】論理用パッケージには論理LSI、RAMモジュール、VR用パッケージには、論理LSI、VR LSI、主記憶にDRAM(ダイナミックランダムアクセスメモリ)等が用いられ、これらのパッケージはプリント基板に表面実装、アキシャル実装、両面実装等によって装着される。

【0142】本実施例によれば、電源の電圧変動(ノイズ)を波高値で100mV以下に抑えることができた。その結果、LSIの動作周波数1GHzのスーパーコンピュータを得ることができた。

### 【0143】

【発明の効果】演算の高速化のために、信号の立上りを速くすればするほどノイズ成分の中で立上りの速い成分の比率が大きくなつていき、この立上りの速い成分を除去できなければ、計算機は正常に動作できなくなる。

【0144】本発明によれば、従来の方式では取り除くことができなかつた立上りの速いノイズ成分も除去することができる。従って、演算処理に使用される信号の立上りを速くすることができ、計算機の演算速度の高速化が達成できる。

#### 【図面の簡単な説明】

【図1】キャリア基板上に薄膜コンデンサを形成した断面図である。

【図2】キャリア基板上にコンデンサを形成したパッケージの概要を示す図である。

【図3】モジュールの概要を示す図である。

【図4】信号の論理振幅とノイズ波形とを示す図である。

【図5】LSIのボンディングパッドからコンデンサまでのインダクタンスとノイズ量v<sub>1</sub>との関係を示す図である。

【図6】コンデンサ自身のインダクタンスとノイズ量v<sub>1</sub>との関係を示す図である。

【図7】キャパシタンスとノイズ量との関係を示す図である。

【図8】コンデンサの誘電体厚さとコンデンサ自身のものインダクタンスとの関係を示す図である。

【図9】BICMOS回路におけるインダクタンスとノイズ量との関係を示す図である。

【図10】モジュール基板上に薄膜コンデンサを形成した場合の概要図である。

【図11】薄膜コンデンサを分割して形成した場合の概要図である。

【図12】TAB接続にコンデンサを形成した構造の概要図である。

【図13】ワイヤボンディング接続にコンデンサを形成した構造の概要図である。

【図14】キャリア基板上に薄膜抵抗と薄膜コンデンサとを形成した構造の概要図である。

【図15】キャリア基板上にコンデンサを形成した場合

の接続構造の概要図である。

【図16】キャリア基板の表裏面にコンデンサと薄膜抵抗とを形成した構造の概要図である。

【図17】薄膜抵抗と薄膜コンデンサとを同一基板上に形成した構造の概要図である。

【図18】本発明による実施例を示す断面図である。

【図19】本発明による実施例を示す部分断面図である。

【図20】コンデンサを内蔵した基板の概要を示す断面図である。

【図21】基板上に形成したコンデンサの概要を示す断面図である。

【図22】代表的なN T L回路の回路図及びアクティブ・ブルダウン付N T L回路の回路図である。

【図23】本発明のコンデンサ内蔵基板を採用したコンピュータの一部の概要図である。

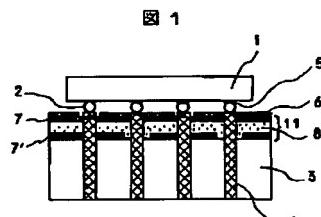
#### 【符号の説明】

1…L S I、2…フリップチップ接続、3…セラミック基板、4…スルーホール、5…ポンディングパッド、6

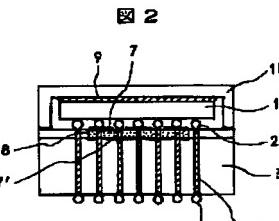
10

…絶縁層、7…電極A、7'…電極B、8…誘電体、9…はんだ、10…A Nキャップ、11…コンデンサ、12…セラミック多層回路基板、13…電気入出力用ピン、14…導体配線、15…電源層、16…冷却フィン、17…フィルム、18…フィルムリード、19…銅-ポリイミド薄膜多層回路、20…熱伝導グリース、21…Au-Sn接合、22…ワイヤ、23…ポリイミド、24…薄膜抵抗、25…タンタル電極、26…A N基板、28…表面粗さ吸収層、29…コンデンサ内配線、30…コンデンサ内絶縁層、31…コンデンサ部品、32…ガラス層、33…接続用突起、34…コンデンサ貫通配線、35…五酸化タンタル、36…アルミニウム電極、37…ガラス、38…アルミナ基板、39…ムライト基板、40…アルミニウム電極配線、41…アルミニウム貫通配線、42…ポリイミド、43…バリウム・鉛・ネオジウム・チタンの複合酸化物、44…多層プリント基板、45…クロスフローリッド、46…半導体パッケージ。

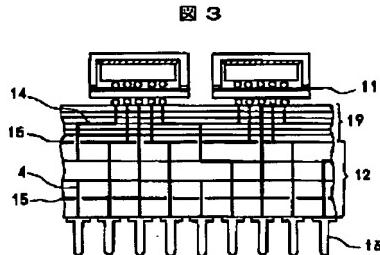
【図1】



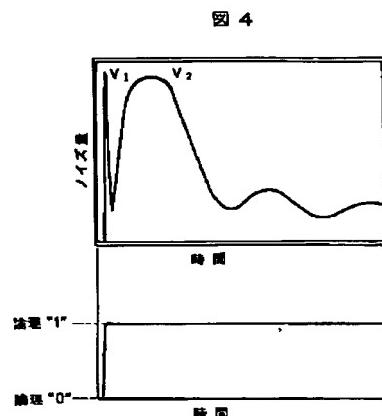
【図2】



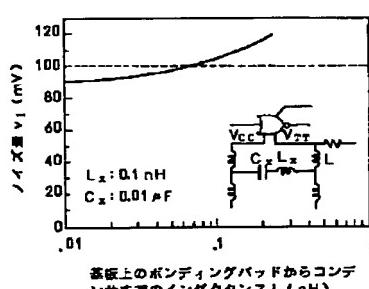
【図3】



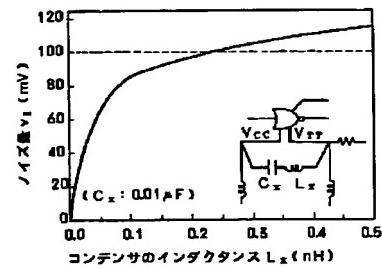
【図4】



【図5】



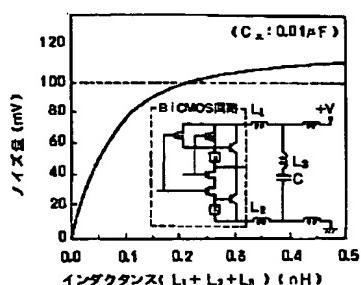
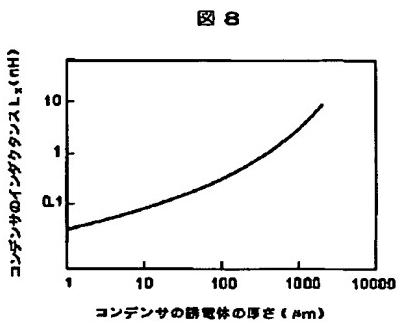
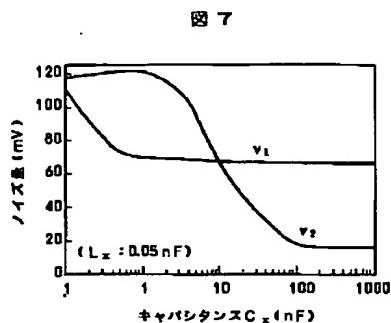
【図6】



[圖7]

[図8]

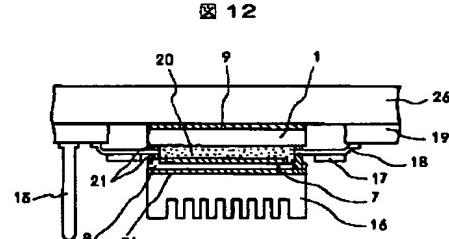
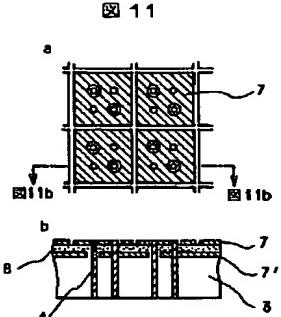
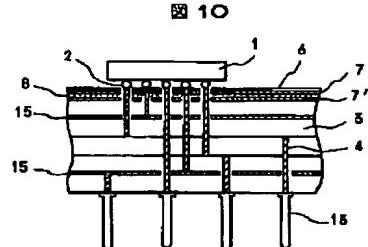
[圖9]



【四】

【図11】

## 【図12】

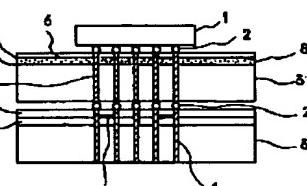
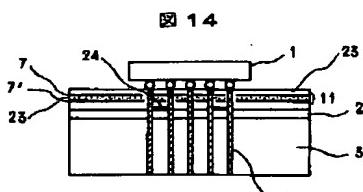
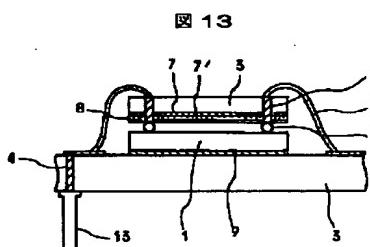


〔図15〕

【図 1-3】

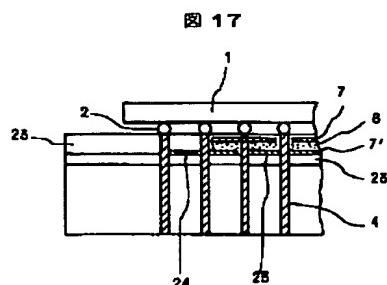
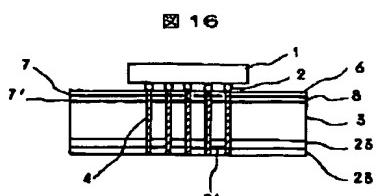
〔図14〕

圖 15



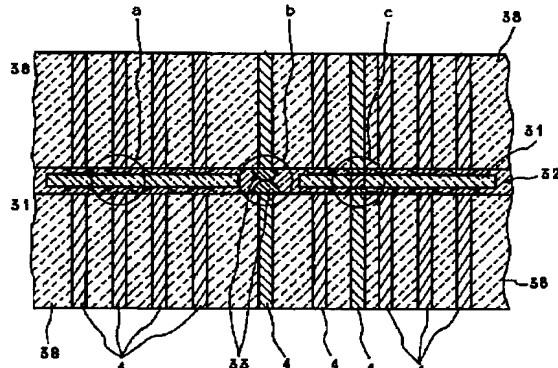
【图16】

【图17】



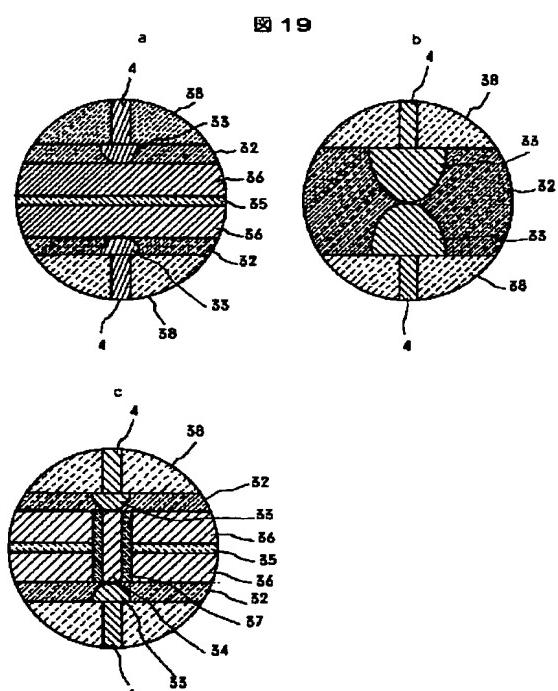
[図18]

☒ 18



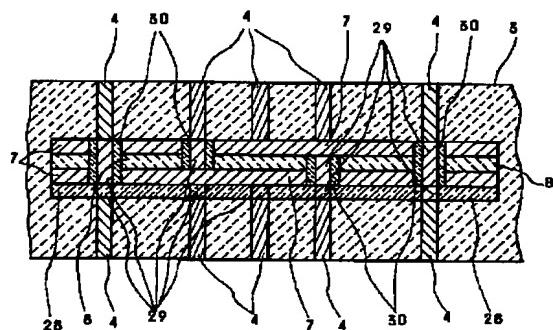
【図20】

图 20



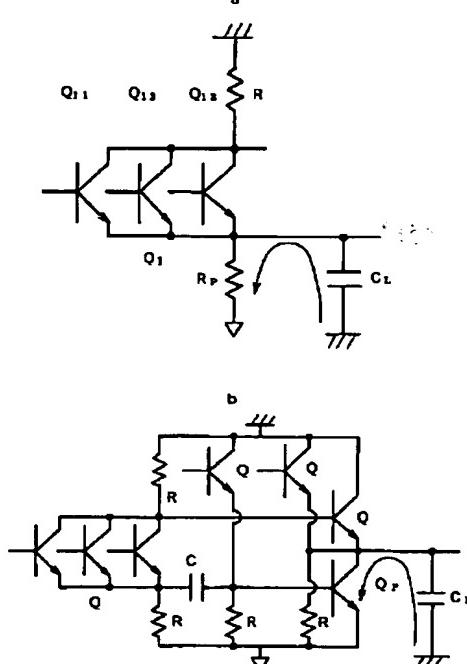
[图21]

图 21



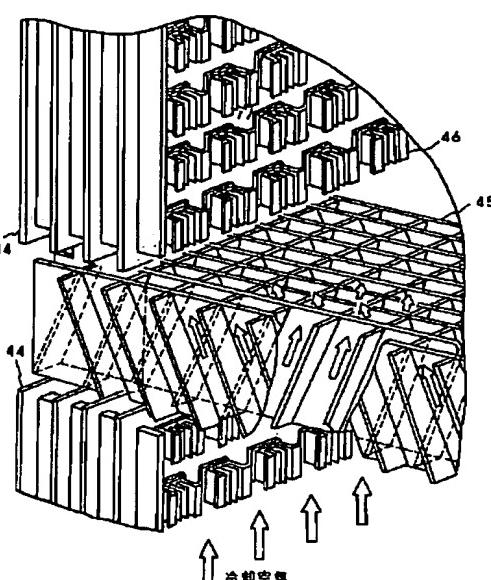
【図22】

図22



【図23】

図23



フロントページの続き

(51) Int.Cl.<sup>5</sup>  
// H 01 L 25/04  
25/18

識別記号 庁内整理番号

F I

技術表示箇所

(72)発明者 加藤 明  
茨城県日立市久慈町4026番地 株式会社日  
立製作所日立研究所内

(72)発明者 鈴木 秀夫  
茨城県日立市久慈町4026番地 株式会社日  
立製作所日立研究所内

(72)発明者 山田 一二  
茨城県日立市久慈町4026番地 株式会社日  
立製作所日立研究所内

(72)発明者 高橋 正昭  
茨城県日立市久慈町4026番地 株式会社日  
立製作所日立研究所内

(72)発明者 中西 敬一郎  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

**THIS PAGE BLANK (USPTO)**